

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 6日

出 願 番 号

Application Number:

特願2003-059562

[ ST.10/C ]:

[ JP 2003-059562 ]

出 願 人

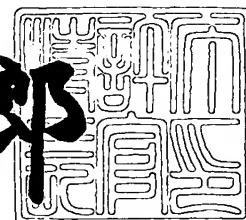
Applicant(s):

三菱電機株式会社

2003年 3月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021665



【書類名】 特許願

【整理番号】 542737JP01

【提出日】 平成15年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00  
H01L 21/768

【発明者】

    【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ  
                        ステムエンジニアリング株式会社内

    【氏名】 池松 喜明

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
                        社内

    【氏名】 寺内 崇

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100082175

    【弁理士】

    【氏名又は名称】 高田 守

    【電話番号】 03-5379-3088

【選任した代理人】

    【識別番号】 100066991

    【弁理士】

    【氏名又は名称】 葛野 信一

    【電話番号】 03-5379-3088

【選任した代理人】

    【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 ゲート電極を有する半導体装置の製造方法であって、  
基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に、前記ゲート電極を構成する電極構成膜を形成する工程と、  
前記電極構成膜上にシリコン窒化膜を形成する工程と、  
前記シリコン窒化膜上に、マスク膜を形成する工程と、  
前記マスク膜の上に、レジストパターンを形成する工程と、  
前記レジストパターンをマスクとして前記マスク膜をパターニングする工程と、  
パターニングされた前記マスク膜をマスクとしたドライエッチングにより、前記シリコン窒化膜及び前記電極構成膜をパターニングする工程と、  
前記電極構成膜をパターニングした後、前記シリコン窒化膜をストッパ膜とした CMP により前記マスク膜を除去する工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の製造方法において、  
前記電極構成膜をパターニングした後、層間絶縁膜を形成する工程と、  
前記層間絶縁膜内にコンタクトホールを形成する工程と、  
前記コンタクトホール内を含む前記基板全面に導電膜を形成する工程と、を更に含み、  
前記シリコン窒化膜をストッパ膜とした CMP により、前記層間絶縁膜内にコンタクトプラグを形成するとともに、前記マスク膜を除去することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 に記載の製造方法において、  
前記マスク膜の材料が、前記コンタクトプラグの材料と同じであることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 から 3 の何れかに記載の製造方法において、

前記マスク材を除去した後、前記シリコン窒化膜上に配線を形成する工程を更に含むことを特徴とする半導体装置の製造方法。

【請求項 5】 ゲート電極を有する半導体装置の製造方法であって、  
基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に、前記ゲート電極を構成する電極構成膜を形成する工程と、  
前記電極構成膜上にシリコン窒化膜を形成する工程と、  
前記シリコン窒化膜上に、前記電極構成膜と同じ材料のマスク膜を形成する工程と、  
前記マスク膜の上に、レジストパターンを形成する工程と、  
前記レジストパターンをマスクとして前記マスク膜をパターニングする工程と、  
パターニングされた前記マスク膜をマスクとしたドライエッチングにより、前記シリコン窒化膜及び前記電極構成膜をパターニングするとともに、前記マスク膜を除去する工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の製造方法において、  
パターニングされた前記シリコン窒化膜上に配線を形成する工程を更に含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特にゲート電極の形成方法に関するものである。

【0002】

【従来の技術】

図 4 は、従来の半導体装置の製造方法を説明するための工程断面図である。詳細には、ゲート電極を有する半導体装置の製造方法を示す図である。

先ず、図 4 (a) に示すように、シリコン基板 1 上にゲート絶縁膜 2 を形成す

る。そして、ポリシリコン膜 3、金属窒化膜（バリアメタル膜） 4、金属シリサイド膜 5、金属膜 6 およびシリコン窒化膜 7 を順次形成する。さらに、シリコン窒化膜 7 上に、フォトリソグラフィ技術によりレジストパターン 9 を形成する。

【 0 0 0 3 】

次に、図 4（b）に示すように、レジストパターン 9 をマスクとしたエッチングにより、シリコン窒化膜 7 をパターンニングする。その後、レジストパターン 9 を除去する。

次に、図 4（c）に示すように、シリコン窒化膜 7 をマスクとしたエッチングにより、金属膜 6、金属シリサイド膜 5、バリアメタル膜 4、ポリシリコン膜 3 をパターンニングする。

【 0 0 0 4 】

最後に、図 4（d）に示すように、シリコン基板 1 の全面にシリコン窒化膜を形成し、このシリコン窒化膜を異方性エッチングすることにより、ゲート電極側面にサイドウォール 1 4 を形成する。

【 0 0 0 5 】

【発明が解決しようとする課題】

近年、半導体素子の高集積化に伴い、ゲート電極の微細化が進んでおり、その最小加工寸法は 0. 1 3  $\mu$  m から 0. 1 0  $\mu$  m へ、さらには 0. 1 0  $\mu$  m 以下へと移行しようとしている。このゲート電極の微細化に伴って露光技術も進み、露光の光源に適したレジストの開発も進められている。

【 0 0 0 6 】

しかしながら、例えば開発初期のレジストには、エッチング耐性が低く、解像度が悪いレジストもあった。かかるレジストを用いた場合には、シリコン窒化膜 7 のエッチング時に、レジストパターン 9 が肩削れしてしまうという問題があった。このため、シリコン窒化膜 7 の肩削れが生じ、エッチング後のゲート電極がラフネス形状になってしまうという問題があった。また、ゲート電極の断線が生じてしまうという問題もあった。

従って、従来の製造方法では、微細なゲート電極を精度良く形成することができず、ゲート配線の信頼性が低いという問題があった。

【 0 0 0 7 】

本発明は、上記従来の課題を解決するためになされたもので、微細なゲート電極を精度良く形成し、ゲート配線の信頼性を向上させることを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

この発明に係る半導体装置の製造方法は、ゲート電極を有する半導体装置の製造方法であって、

基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記ゲート電極を構成する電極構成膜を形成する工程と、

前記電極構成膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜上に、マスク膜を形成する工程と、

前記マスク膜の上に、レジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記マスク膜をパターニングする工程と

、  
パターニングされた前記マスク膜をマスクとしたドライエッチングにより、前記シリコン窒化膜及び前記電極構成膜をパターニングする工程と、

前記電極構成膜をパターニングした後、前記シリコン窒化膜をストッパ膜としたCMPにより前記マスク膜を除去する工程と、

を含むことを特徴とするものである。

【 0 0 0 9 】

この発明に係る半導体装置の製造方法は、ゲート電極を有する半導体装置の製造方法であって、

基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記ゲート電極を構成する電極構成膜を形成する工程と、

前記電極構成膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜上に、前記電極構成膜と同じ材料のマスク膜を形成する工程と、

前記マスク膜の上に、レジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記マスク膜をパターニングする工程と

、  
パターニングされた前記マスク膜をマスクとしたドライエッチングにより、前記シリコン窒化膜及び前記電極構成膜をパターニングするとともに、前記マスク膜を除去する工程と、

を含むことを特徴とするものである。

【 0 0 1 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一又は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【 0 0 1 1 】

実施の形態 1.

図 1 は、本発明の実施の形態 1 による半導体装置の製造方法を説明するための工程断面図である。詳細には、図 1 は、ゲート電極を有する半導体装置の製造方法を示す図である。

【 0 0 1 2 】

先ず、図 1 (a) に示すように、基板 1 上にゲート絶縁膜 2 としてゲート酸化膜を形成する。次に、ゲート絶縁膜 2 上に、ゲート電極を構成する電極構成膜として、第 1 のポリシリコン膜 3、高融点金属窒化膜 4、高融点金属シリサイド膜 5 および高融点金属膜 6 を順次形成する。そして、高融点金属膜 6 上に、ゲート電極と上層配線（図示省略）とを絶縁するためのシリコン窒化膜 7 を形成する。次いで、シリコン窒化膜 7 上に、マスク膜 8 として第 2 のポリシリコン膜を形成する。さらに、第 2 のポリシリコン膜 8 上に、フォトリソグラフィ技術によりレジストパターン 9 を形成する。

【 0 0 1 3 】

ここで、マスク膜 8 は、上記電極構成膜 3、4、5、6 の何れかの膜と同じ材料の膜が好適である。高融点金属窒化膜 4 は、窒化タンタル (T a N) 膜、窒化



チタン (TiN) 膜等のバリアメタル膜である。高融点金属シリサイド膜 5 は、例えば、タングステンシリサイド ( $WSi_2$ ) 膜、モリブデンシリサイド ( $MoSi_2$ ) 膜、タンタルシリサイド ( $TaSi_2$ ) 膜、チタンシリサイド ( $TiSi_2$ ) 膜等である。高融点金属膜 6 は、例えば、タングステン (W) 膜、モリブデン (Mo) 膜、タンタル (Ta) 膜、チタン (Ti) 膜、アルミニウム (Al) 等である。

## 【 0 0 1 4 】

次に、図 1 (b) に示すように、レジストパターン 9 をマスクとしたエッチングにより、第 2 のポリシリコン膜 8 をパターニングする。その後、レジストパターン 9 を除去する。

そして、図 1 (c) に示すように、第 2 のポリシリコン膜 8 のパターンをマスクとしたエッチングにより、シリコン窒化膜 7 をパターニングする。

## 【 0 0 1 5 】

次に、図 1 (d) に示すように、第 2 のポリシリコン膜 8 のパターンをマスクとしたエッチングにより、高融点金属膜 6、高融点金属シリサイド膜 5、高融点金属窒化膜 4、第 1 のポリシリコン膜 3 をパターニングする。すなわち、パターニングされた第 2 のポリシリコン膜 8 をマスクとして電極構成膜 6, 5, 4, 3 をパターニングする。

## 【 0 0 1 6 】

次に、図 1 (e) に示すように、第 2 のポリシリコン膜 8 を残したままで、基板 1 の全面にシリコン窒化膜 10 を形成し、このシリコン窒化膜 10 を異方性エッチングすることにより、少なくとも電極構成膜 (3, 4, 5, 6) の側壁を覆うサイドウォール 10 を形成する。

## 【 0 0 1 7 】

次に、図 1 (f) に示すように、基板 1 の全面に層間絶縁膜 11 としてのシリコン酸化膜を形成する。

次に、図 1 (g) に示すように、シリコン酸化膜 11 内に、SAC (Self Align Contact) 法によりコンタクトホール 12 を形成する。

## 【 0 0 1 8 】

次に、図 1 (h) に示すように、コンタクトホール 1 2 内を含む基板 1 全面に、導電膜 1 3 としてのポリシリコン膜を形成する。ここで、導電膜 1 3 としては、マスク膜 8 と同じ材料の膜を形成する。これにより、コンタクトホール 1 2 内にポリシリコン膜 1 3 が埋め込まれる。

#### 【 0 0 1 9 】

次に、図 1 (i) に示すように、シリコン窒化膜 7 をストッパ膜として CMP (Chemical Mechanical Polishing) 法により平坦化する。これにより、不要なポリシリコン膜 1 3 及びシリコン酸化膜 1 1 が除去されるとともに、第 2 のポリシリコン膜 8 が除去され、ゲート配線間にコンタクトプラグ 1 3 a としてのポリシリコンプラグが形成される。

その後、図示しないが、シリコン窒化膜 7 上に配線を形成する。

#### 【 0 0 2 0 】

以上説明したように、本実施の形態 1 では、電極構成膜 (3, 4, 5, 6) 上にシリコン窒化膜 7 とポリシリコン膜 8 とを形成し、レジストパターン 9 をマスクとしたエッチングによりポリシリコン膜 8 をパターニングし、ポリシリコン膜 8 のパターンをマスクとしたエッチングによりシリコン窒化膜 7 と電極構成膜 (3, 4, 5, 6) をパターニングした。そして、シリコン窒化膜 7 をストッパ膜とする CMP によりポリシリコン膜 8 を除去した。

本実施の形態 1 によれば、レジストパターン 9 のエッチング耐性が低い場合でも、シリコン窒化膜 7 上にマスク膜 8 としてポリシリコン膜を形成することにより、シリコン窒化膜 7 の肩落ちを防止することができ、ラフネスの少ないゲート電極構造が得られる。また、ゲート電極の断線を防止することができる。また、シリコン窒化膜 7 上の配線と、ゲート電極との絶縁を確保することができる。従って、微細なゲート電極を精度良く形成することができ、ゲート配線の信頼性を向上させることができる。

#### 【 0 0 2 1 】

また、本実施の形態 1 では、マスク膜 8 の材料に、コンタクトプラグ 1 3 a の材料と同じものを用いた。すなわち、マスク膜 8 とコンタクトプラグ 1 3 a の材料は、ともにポリシリコンである。これにより、導電膜 1 3 の不要部分及びマス

ク膜 8 を CMP により除去する際に、選択比をより高めることができる。

なお、本実施の形態 1 では、コンタクトプラグ 1 3 a としてポリシリコンプラグを形成しているが、タングステンプラグを形成してもよい。この場合、マスク膜 8 としてタングステン膜を形成することにより、CMP における十分な選択比が得られる。

#### 【 0 0 2 2 】

なお、本実施の形態 1 では、マスク膜 8 として第 2 のポリシリコン膜を形成したが、これに限られず、高融点金属窒化膜、高融点金属シリサイド膜または高融点金属膜を形成してもよい。

#### 【 0 0 2 3 】

また、本実施の形態 1 では、第 1 のポリシリコン膜 3、高融点金属窒化膜 4、高融点金属シリサイド膜 5 および高融点金属膜 6 を積層してなるゲート電極について説明したが、これに限らず、ゲート電極の構造を適宜変更してもよい。例えば、ゲート電極の特性に応じて、高融点金属窒化膜 4 や高融点金属シリサイド膜 5 を形成しなくてもよい（後述する実施の形態 2、3 についても同様）。

#### 【 0 0 2 4 】

実施の形態 2。

図 2 は、本発明の実施の形態 2 による半導体装置の製造方法を説明するための工程断面図である。詳細には、図 2 は、ゲート電極を有する半導体装置の製造方法を示す図である。

#### 【 0 0 2 5 】

図 2 (a) ～ (c) に示すように、実施の形態 1 で説明した図 1 (a) ～ (c) に示す工程と同様の工程を行う。

#### 【 0 0 2 6 】

続いて、図 2 (d) に示すように、第 2 のポリシリコン膜 8 のパターンをマスクとしたエッチングにより、電極構成膜である高融点金属膜 6、高融点金属シリサイド膜 5、高融点金属窒化膜 4 および第 1 のポリシリコン膜 3 をパターニングする。ここで、エッチング時間を制御することにより、上記電極構成膜 (6, 5, 4, 3) をパターニングするとともに、第 2 のポリシリコン膜 8 が除去される

その後、図示しないが、シリコン窒化膜 7 上に配線を形成する。

#### 【 0 0 2 7 】

以上説明したように、本実施の形態 2 では、電極構成膜（3，4，5，6）上にシリコン窒化膜 7 とポリシリコン膜 8 とを形成し、レジストパターンをマスクとしたエッチングによりポリシリコン膜 8 をパターニングし、ポリシリコン膜 8 のパターンをマスクとしたエッチングによりシリコン窒化膜 7 と電極構成膜（3，4，5，6）をパターニングした。また、電極構成膜（3，4，5，6）のパターニング時に、エッチング時間を制御することにより、ポリシリコン膜 8 を除去した。

従って、レジストパターン 9 のエッチング耐性が低い場合でも、シリコン窒化膜 7 上にマスク膜 8 としてポリシリコン膜を形成することにより、従来の製造方法を用いた場合のようなシリコン窒化膜 7 の肩落ちを防止することができ、ラフネスの少ないゲート電極構造が得られる。また、ゲート電極の断線を防止することができる。また、シリコン窒化膜 7 上の配線と、ゲート電極との絶縁を確保することができる。従って、微細なゲート電極を精度良く形成することができ、ゲート配線の信頼性を向上させることができる。

#### 【 0 0 2 8 】

なお、本実施の形態 2 では、マスク膜 8 として第 2 のポリシリコン膜を形成したが、これに限られず、高融点金属窒化膜、高融点金属シリサイド膜または高融点金属膜を形成してもよい。この場合も、シリコン窒化膜 7 と電極構成膜（3，4，5，6）のパターニングと、マスク膜 8 の除去と、を同時に行うことができる。

#### 【 0 0 2 9 】

実施の形態 3.

図 3 は、本発明の実施の形態 3 による半導体装置の製造方法を説明するための工程断面図である。詳細には、図 3 は、ゲート電極を有する半導体装置の製造方法を示す図である。

図 3（a）～（e）に示すように、実施の形態 1 で説明した図 1（a）～（e）

）に示す工程と同様の工程を行う。

#### 【 0 0 3 0 】

次に、図 3（f）に示すように、シリコン窒化膜 7 をストッパ膜とした CMP により、シリコン窒化膜 7 上に形成された第 2 のポリシリコン膜 8 を除去する。この CMP により、サイドウォール形成時（図 3（e）参照）に第 2 のポリシリコン膜 8 上に形成されたシリコン窒化膜 1 0 も除去される。

その後、図示しないが、シリコン窒化膜 7 上に配線を形成する。

#### 【 0 0 3 1 】

以上説明したように、本実施の形態 3 では、電極構成膜（3，4，5，6）上にシリコン窒化膜 7 とポリシリコン膜 8 とを形成し、レジストパターンをマスクとしたエッチングによりシリコン窒化膜 7 と電極構成膜（3，4，5，6）をパターンニングした。そして、電極構成膜の側壁にサイドウォール 1 0 を形成し、シリコン窒化膜 7 をストッパ膜とする CMP によりポリシリコン膜 8 を除去した。

従って、レジストパターン 9 のエッチング耐性が低い場合でも、シリコン窒化膜 7 上にマスク膜 8 としてポリシリコン膜を形成することにより、従来の製造方法を用いた場合のようなシリコン窒化膜 7 の肩落ちを防止することができ、ラフネスの少ないゲート電極構造が得られる。また、ゲート電極の断線を防止することができる。また、シリコン窒化膜 7 上の配線と、ゲート電極との絶縁を確保することができる。従って、微細なゲート電極を精度良く形成することができ、ゲート配線の信頼性を向上させることができる。

#### 【 0 0 3 2 】

##### 【発明の効果】

本発明によれば、微細なゲート電極を精度良く形成し、ゲート配線の信頼性を向上させることができる。

##### 【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための工程断面図である。

【図 2】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための工程断面図である。

【図 3】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための工程断面図である。

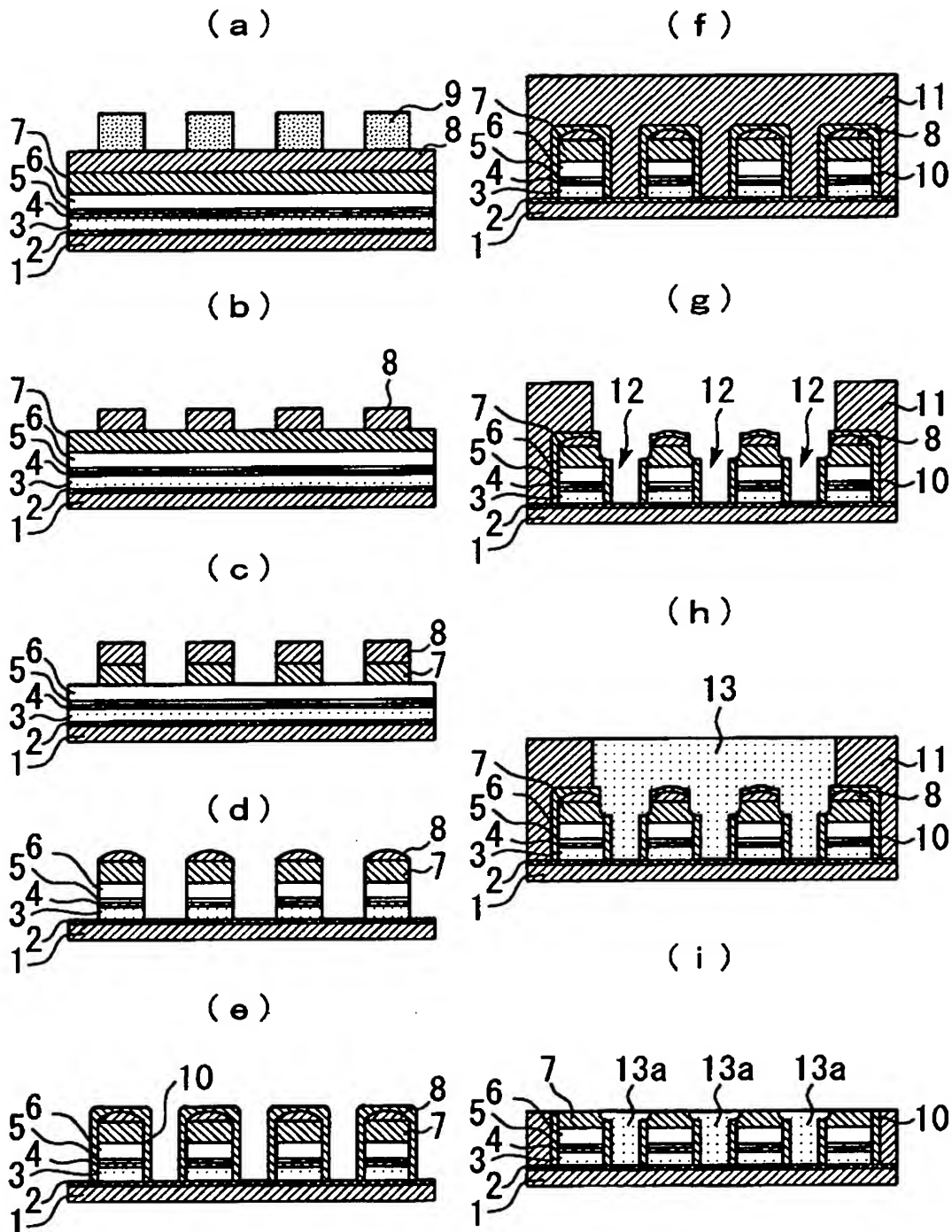
【図 4】 従来の半導体装置の製造方法を説明するための工程断面図である。

【符号の説明】

1 基板、 2 ゲート絶縁膜（ゲート酸化膜）、 3 第 1 のポリシリコン膜、 4 高融点金属窒化膜、 5 高融点金属シリサイド膜、 6 高融点金属シリサイド膜、 7 シリコン窒化膜、 8 マスク膜（第 2 のポリシリコン膜）、 9 レジストパターン、 10 サイドウォール、 11 層間絶縁膜（シリコン酸化膜）、 12 コンタクトホール、 13 導電膜（ポリシリコン膜）、 13 a コンタクトプラグ（ポリシリコンプラグ）。

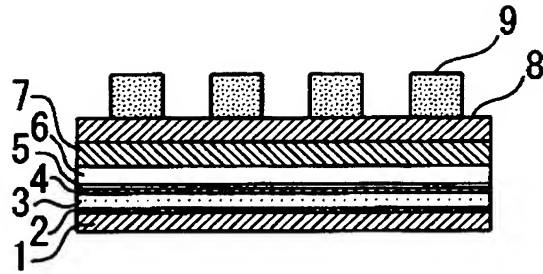
【書類名】 図面

【図 1】

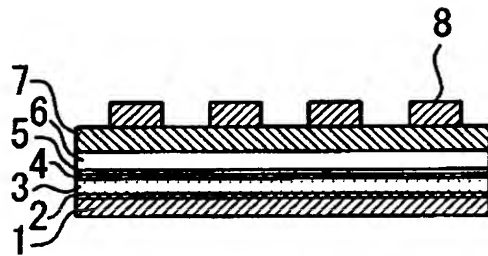


【図 2】

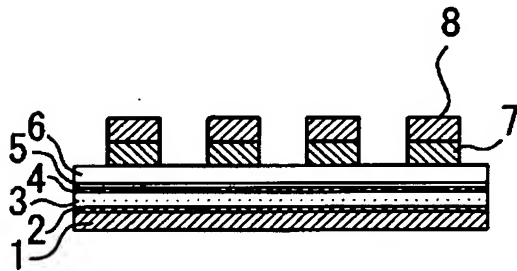
(a)



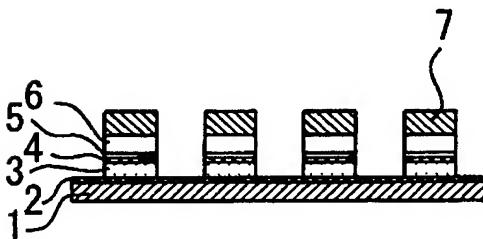
(b)



(c)

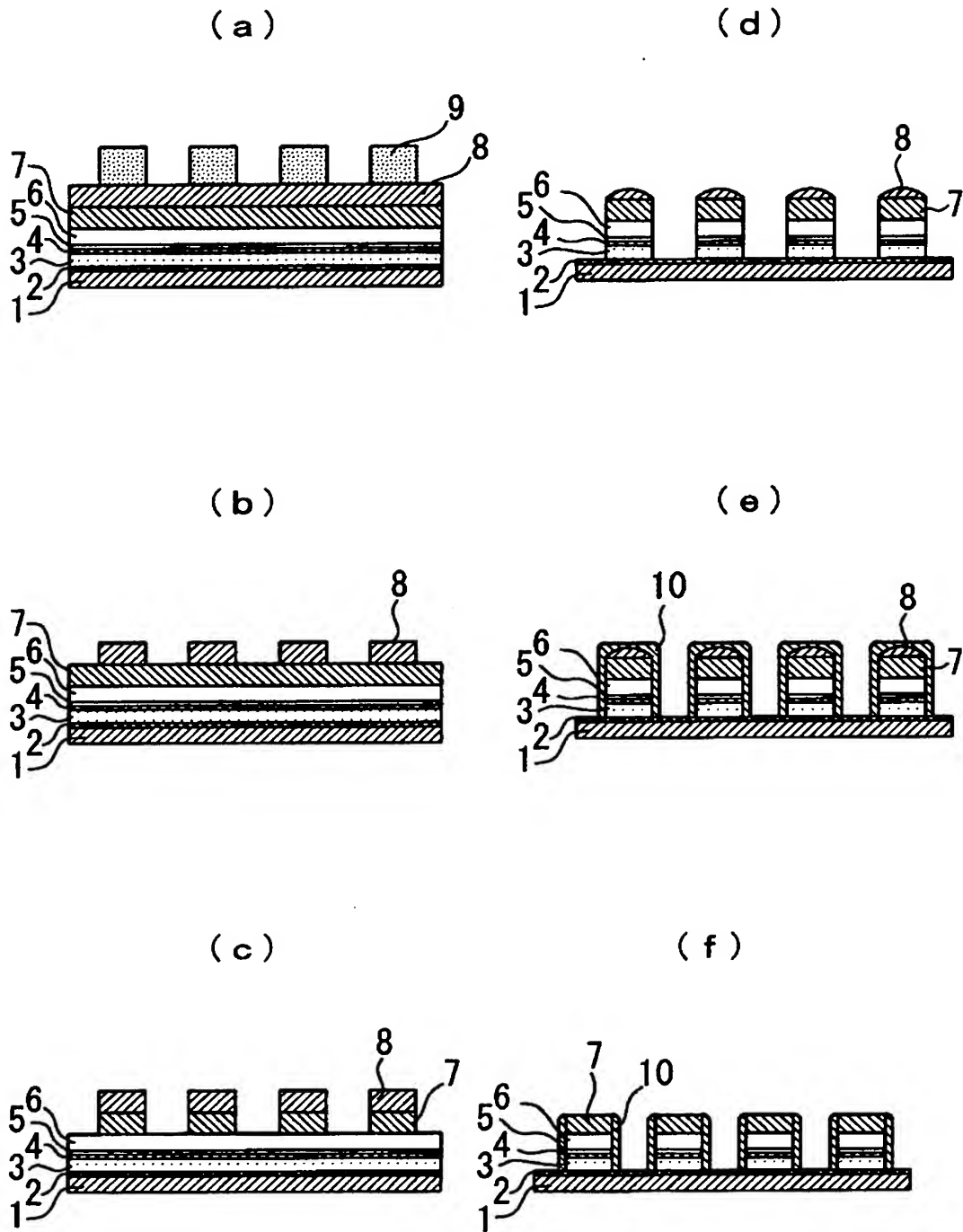


(d)



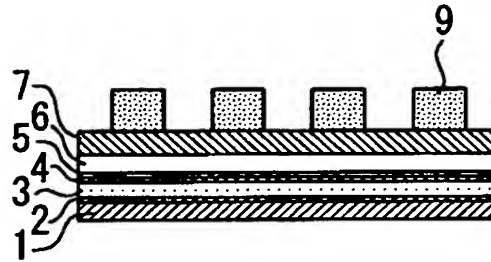


【図 3】

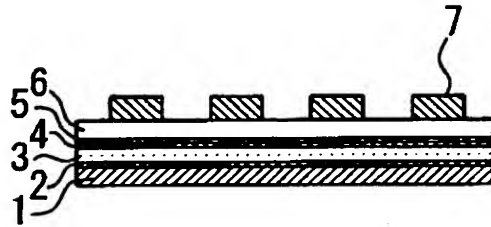


【図 4】

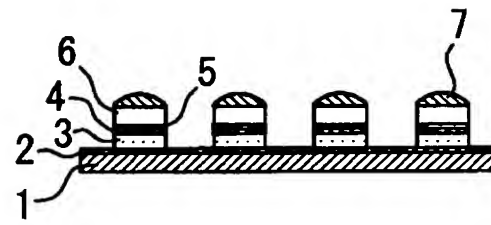
(a)



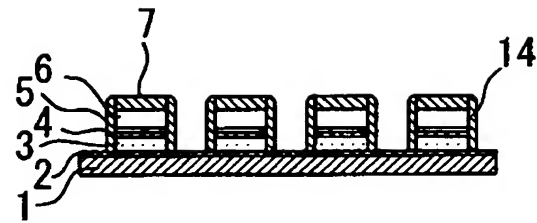
(b)



(c)



(d)



【書類名】 要約書

【要約】

【課題】 微細なゲート電極を精度良く形成し、ゲート配線の信頼性を向上させる。

【解決手段】 基板 1 上にゲート絶縁膜 2 を形成し、更にゲート電極を構成する電極構成膜 3, 4, 5, 6 を順次形成する。金属膜 6 上にシリコン窒化膜 7 と第 2 のポリシリコン膜 8 を形成し、その上にレジストパターン 9 を形成する。レジストパターン 9 をマスクとして第 2 のポリシリコン膜 8 をパターニングし、パターニングされた第 2 のポリシリコン膜 8 をマスクとしてシリコン窒化膜 7 と電極構成膜をパターニングする。基板 1 全面に層間絶縁膜 1 1 を形成し、層間絶縁膜 1 1 内にコンタクトホール 1 2 を形成する。コンタクトホール 1 2 内にポリシリコン膜 1 3 を形成した後、シリコン窒化膜 7 をストッパ膜としたCMPによりポリシリコンプラグ 1 3 a を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社